

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-232264

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

H01L 21/82

G06F 15/60

(21)Application number : 05-034873

(71)Applicant : SONY CORP

(22)Date of filing : 30.01.1993

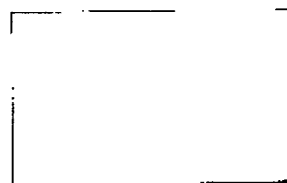
(72)Inventor : KADOYAMA TAKAHIDE
KATAKURA MASAYUKI
WATANABE HIROKO

(54) LAYOUT METHOD OF INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To shorten the period for a designing operation and to reduce the period and the cost required for trial production by a method wherein the layout designing operation of an integrated circuit is made easy.

CONSTITUTION: Regarding data on the layout of an integrated circuit, data (A) on a module including a plurality of transistor elements is arranged in a first hierarchy. In addition, data which has changed the module into a cell is arranged in a second hierarchy, and data (B) which customizes the elements constituting the module is arranged. In addition, in the layout method of the integrated circuit, at least a first customization function which changes over the transistor elements to states including connective states and nonconnective states in terms of a circuit and a second customization function which controls the circuit function of the transistor elements are provided as constomization functions, and data used to connect the elements is arranged in the second hierarchy.



(A)
カスタマイズされた
セル上の回路のデータ
(第1の階層)



(B)
カスタマイズ機能
データ
(第2の階層)



(C)
異なる回路機能をも
つセル間の接続を
制御するためのデータ
(第2の階層)

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-232264

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
G 0 6 F 15/60	3 7 0 K	7623-5L		
		9169-4M	H 0 1 L 21/ 82	C
		9169-4M		S

審査請求 未請求 請求項の数 5 F D (全 9 頁)

(21)出願番号 特願平5-34873

(22)出願日 平成5年(1993)1月30日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 門山 隆英

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 片倉 雅幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 渡邊 浩子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 高月 亨

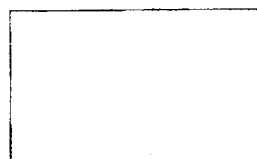
(54)【発明の名称】 集積回路のレイアウト方法

(57)【要約】

【目的】 集積回路のレイアウト設計を容易にして設計のための期間を短縮し、また試作に要する期間や費用などを削減できる集積回路のレイアウト方法を提供する。

【構成】 集積回路のレイアウトのデータについて、第1の階層に複数のトランジスタ素子を含んだモジュールのデータ(A)が配置され、第2の階層にモジュールをセル化したデータが配置されるとともに、モジュールを構成する素子をカスタマイズするデータ(B)が配置され、カスタマイズ機能として、少なくとも、トランジスタ素子を回路的に接続・非接続を含む状態に切り換える第1のカスタマイズ機能と、トランジスタの回路的機能を司る第2のカスタマイズ機能を具備し、更に第2の階層に素子の接続のためのデータが配置された集積回路のレイアウト方法。

本発明の構成の説明図



(C)
カスタマイズされた
セル上のデータ
(第2の階層)



(B)
カスタマイズ機能
用データ
(第2の階層)



(A)
ある機能回路を
実現するために
配置されたデータ
(第1の階層)

【特許請求の範囲】

【請求項1】集積回路のレイアウト方法においてそのレイアウトのデータに、少なくとも第1、第2の階層を有し、

第1の階層に、複数のトランジスタ素子を含んだモジュールのデータが配置され

第2の階層には、前記モジュールをセル化したデータが配置され、

更に第2の階層のセル上に、前記モジュールを構成する素子のカスタマイズするデータが配置され

カスタマイズ機能として、少なくともトランジスタ素子を回路的に接続・非接続を含む状態に切り換える第1のカスタマイズ機能と、トランジスタの回路的機能を司る第2のカスタマイズ機能を具備し、

更に第2の階層に素子の接続のためのデータが配置されたことを特徴とする集積回路のレイアウト方法、

【請求項2】第1のカスタマイズ機能は、回路的に能動である活性状態、回路的に使用されておらずコンタクトホールと電極が除去された状態である不活性状態、及び集積回路チップから除去された状態である除去状態の3つの状態を司るものであることを特徴とする請求項1記載の集積回路のレイアウト方法、

【請求項3】第2のカスタマイズ機能は、モジュール内に配置されたダブルベース構造のトランジスタ素子の一方のベース電極のコンタクトホールと電極金属の有無を切り換えることにより、同一トランジスタをダブルベーストランジスタとして使うか、シングルベーストランジスタとして使うかを切り換える機能を司るものであることを特徴とする請求項1に記載の集積回路のレイアウト方法、

【請求項4】第2のカスタマイズ機能は、モジュール内に配置されたN個のマルチエミッタ構造のトランジスタにおいて、M個のエミッタ電極のコンタクトホールと電極金属の有無を切り換えることにより、同一トランジスタをN-M個の任意のマルチエミッタトランジスタとして使い得る機能を司るものであることを特徴とする請求項1に記載の集積回路のレイアウト方法、

【請求項5】モジュール内に配置された容量素子の容量値設定を司る第3のカスタマイズ機能を具備して成ることを特徴とする請求項1に記載の集積回路のレイアウト方法、

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、集積回路のレイアウト方法に関する。本発明は、各種構造の集積回路のレイアウトのために利用することができ、例えば、主にアナログ回路を主体としたバイポーラ（双極）型集積回路のレイアウト設計技術として好適に利用することかできる。

【0002】

【従来の技術及びその問題点】バイポーラ型集積回路

は、アナログ信号処理用としては主流のデバイスである。もう一つの集積回路の構造としてMOS型のものがあり、これはデジタル回路用集積回路として広く用いられている。

【0003】最近、アナログ回路用バイポーラ型集積回路の開発において、次のような点が大きな問題点になっている。

① 開発期間が長く開発費が高い。

② 通常、試作した最初のタイプが完全に動作することは稀で、通常2〜3回の試作をするが、その修正の時間と費用が大きな問題である。

上記の問題点は、最近の応用製品の商品開発サイクルの短縮、ハイポーラ型集積回路の規模の増大に伴う開発期間の長期化の対比において、益々増大している。一方のデジタル集積回路は、設計手法、シミュレーション技術の進歩により開発期間の短縮が図られており、この開発期間の動向も信号処理のデジタル化を推進する原動力となっている。

【0004】デジタル集積回路が新しい設計手法やシミュレーション技術を導入しやすい理由としては、以下のような理由が考えられる。

(1) 基本回路の種類が少ない

基本的にはNANDまたはNDR等の基本的論理ゲートの組み合わせで、ある機能単位をセルとして扱い、階層的に設定することが容易。

(2) 仕様記述が容易

各ブロックの仕様に関して、その機能は厳密に数学的に定義され、それ以外の要素としては、演算速度や、出力端子の駆動能力を定義すれば仕様が記述できる。

(3) シミュレーションが容易

素子は単純なスイッチング動作をしているのみなので、単純なモデルでシミュレーションが可能で、大規模な回路もシミュレーションで機能や特性の検証が可能。

(4) 自動設定が容易

個々の低位の機能単位はセルとして扱えること、及び集積回路内にはほぼ同一レベルの振幅の信号が存在するのみなので、各機能単位の集積回路チップ内の配置は、速度的要因と、集積度（高密度にチップ内を配置）的要素を考慮すればよく、コンピュータによる自動設計に対応しやすい。

【0005】上記を裏返したのがアナログバイポーラ型集積回路である。

(1) 基本回路の種類が多い

基本回路の種類が非常に多く、系統化できない。また同じ機能を実現する多数の手段がある。似たような回路でも細かく仕様や機能が要なり、単純にセルとして扱うことができない。

(2) 仕様記述が困難

非常に多くのパラメータが存在し、あらゆる用途を満たすようそれらのパラメータを設計することは不可能で、

表現困難なパラメータも多数存在し、また、同じ回路がある応用には何の問題もなく、別の応用には実用にならないということや、B回路と組み合わせると何の問題もないA回路が、C回路と組み合わせると発振等の不具合を起こす等のことも稀ではない。

(3) シミュレーションが複雑

能動素子(トランジスタ)が非常に複雑な動作をし、能動素子内の物理的な振舞いを表現する複雑なモデルが必要とされる。従って、大規模な回路のシミュレーションは実用的には困難で、中規模の回路ブロックのシミュレーションから全体の機能や特性を推定していた。

(4) 自動設計困難

振幅や周波数が多彩な信号が混在し、各機能ブロックをどう配置するかによって特性が左右され、デジタル集積回路のような自動設計には対応困難。

【0006】上述したような背景のもとに、アナログバイポーラ型集積回路は「一品料理」的な開発形態で集積回路の開発が成されてきた。今後応用製品の開発サイクルの短縮やデジタル集積回路の設計技術の向上に対応するには、下記2点への対応を可能とする設計手法の確立が必要とされる。

(I) セル設計の導入による回路設計、レイアウト設計期間の短縮

(II) 修正試作におけるレイアウト設計期間、ウェーハ試作期間の短縮及び費用の削減

【0007】(I)に関しては、以前より必要性は言われていたものの、現在まであまり進展していない。その理由は、前述したようにセルをブラックボックスとして扱うことは非常に困難で、細かな仕様や機能毎に全てセルを用意したら殆ど無数のセルを用意しなければならないことによる。

【0008】図9は、その理由を説明する図である。オペアンプはアナログ回路の最も基本的な機能回路で、その仕様もアナログ回路の中では明確に記述しやすい。基本回路は多分、数10種に及ぶが、あるウェーハプロセスあるいは集積回路の応用分野を限定すれば、数種の基本回路で殆どをカバー可能である。しかし、図9に記した数種の詳細仕様が存在し、その組み合わせを考えると、オペアンプ単体を見ても20~30種を超えるセルが必要となる。更にオペアンプには周辺回路が伴い、それにより初めて集積回路内のある機能回路の役割を果たす。この周辺回路はオペアンプの上位の機能として定義を司り、更にその詳細仕様を決定する。

【0009】このように考えると、オペアンプのみを考えても数100種のセルを必要とし、デジタル集積回路のような設計が困難なことが明らかとなる。唯一基本回路については標準化の可能性はあるが、レイアウト設計用のセルは、周辺回路込みで一単位のセルでなければならない。これすらもあまり進展していない。

【0010】(II)に関しては、前述した多々の理由に

より最初の試作サンプルが完璧に動作することは確率的に高くなく、1~2度の修正を見込むことは止むを得ない。その際に問題となるのがレイアウト設計とウェーハ試作工程の期間と費用である。回路設計については、最初の設計時の見直しや検証しきれなかった問題の解決で、最初の全体の設計に比較し必要とする時間はわずかである場合が多い。ところが、修正の場合、例えば数個のトランジスタの追加であっても、集積回路チップ内の配置を広い部分に渡り変更する必要が生じたり、わずかに1個のトランジスタの追加のためにウェーハ工程は最初の工程から再試作せねばならないといった状況が頻繁に発生していた。

【0011】即ち、修正のサイクルにおいては、回路設計は、初期設計比で平均的に無視できるような時間で可能であるが、レイアウト設計時間は、初期設計時に対し無視できない時間を要し、ウェーハ工程においては、初期試作時と同じ時間、費用を必要とする場合が多い。再試作をするのに必要な費用の多くはマスクの再作製とウェーハの再試作のために費やされる。

【0012】以上述べたように、アナログバイポーラ型集積回路の開発においては、2~3度の試作を繰り返すことは根本的には避け難いが、再試作の期間と費用をいかに圧縮するかが大きな課題となっている。また初期設計において、アナログ回路設計に馴染むセル設計手法を確立しこれにより回路設計することか、レイアウト設計短縮のために必要とされていた。

【0013】

【発明の目的】本発明は上記従来技術の問題点を解決して、集積回路のレイアウト設計において、レイアウト設計を容易にして設計のための期間を短縮でき、また試作に要する期間や費用などを削減できる集積回路のレイアウト方法を提供することを目的とする。

【0014】

【問題点を解決するための手段】本出願の請求項1の発明は、集積回路のレイアウト方法において、そのレイアウトのデータに、少なくとも第1、第2の階層を有し、第1の階層に、複数のトランジスタ素子を含んだモジュールのデータが配置され、第2の階層には、前記モジュールをセル化したデータが配置され、更に第2の階層のセル上に、前記モジュールを構成する素子をカスタマイズするデータが配置され、カスタマイズ機能として、少なくともトランジスタ素子を回路的に接続・非接続を含む状態に切り換える第1のカスタマイズ機能と、トランジスタの回路的機能を司る第2のカスタマイズ機能を具備し、更に第2の階層に素子の接続のためのデータが配置されたことを特徴とする集積回路のレイアウト方法であって、これにより上記目的を達成するものである。

【0015】本出願の請求項2の発明は、第1のカスタマイズ機能が、回路的に能動である活性状態、回路的に使用されておらず、コンタクトホールと電極が除去され

た状態である不活性状態、及び集積回路チップから消去された状態である除去状態の3つの状態を司るものであることを特徴とする請求項1記載の集積回路のレイアウト方法であって、これにより上記目的を達成するものである。

【0016】本出願の請求項3の発明は、第2のカスタマイズ機能が、モジュール内に配置されたダブルベース構造のトランジスタ素子の一方のベース電極のコンタクトホールと電極金属の有無を切り換えることにより、同一トランジスタをダブルベーストランジスタとして使うか、シングルベーストランジスタとして使うかを切り換える機能を司るものであることを特徴とする請求項1に記載の集積回路のレイアウト方法であって、これにより上記目的を達成するものである。

【0017】本出願の請求項4記載の発明は、第2のカスタマイズ機能が、モジュール内に配置されたN個のマルチエミッタ構造のトランジスタにおいて、M個のエミッタ電極のコンタクトホールと電極金属の有無を切り換えることにより、同一トランジスタをN-M個の任意のマルチエミッタトランジスタとして使い得る機能を司るものであることを特徴とする請求項1に記載の集積回路のレイアウト方法であって、これにより上記目的を達成するものである。

【0018】本出願の請求項5記載の発明は、モジュール内に配置された容量素子の容量値設定を司る第3のカスタマイズ機能を具備して成ることを特徴とする請求項1に記載の集積回路のレイアウト方法であって、これにより上記目的を達成するものである。

【0019】本発明の構成について、本発明の集積回路レイアウト方法を概念的に例示している図1ないし図4を用いて説明すると、次のとおりである。

【0020】本発明の集積回路レイアウト方法においては、そのレイアウトのデータに、少なくとも第1、第2の階層を有する。第1の階層に、複数のトランジスタ素子を含んだモジュールのデータが配置される。図1で言うと、このデータに係るモジュールは、図1の(A)に示すものである。図1の(A)の構成例の詳細は、図2に示す。第2の階層には、前記モジュールをセル化したデータが配置され、更に第2の階層のセル上に、前記モジュールを構成する素子をカスタマイズするデータが配置される。図1で言うと、このカスタマイズデータは、図1の(B)に示すものである。図1の(B)の構成例の詳細は、図3に示す。

【0021】本発明においては、カスタマイズ機能として、少なくともトランジスタ素子を回路的に接続・非接続を含む状態を切り換える第1のカスタマイズ機能と、トランジスタの回路的機能を司る第2のカスタマイズ機能を具備するように構成する。

【0022】更に第2の階層には、素子の接続のためのデータを配置する。

【0023】図1、及び図2ないし図3の例示をもとに更に詳細に説明すると、次のとおりである。図1の

(A) (詳細は図2)は、ある機能回路を実現するために配置されたモジュールを示し、ここには例えばM1というモジュールかあすると、M1はいわばサブルーチンという形で、この階層に配置され、その実態はその下の階層に存在する。ここではモジュールM1の実態が存在する下位の階層を第1の階層、M1のセル(サブルーチン)が配置された階層を第2の階層とする。第2の階層には、複数のM1のセルの存在が許される。モジュールは、数少ないモジュールで集積回路全体のレイアウトをしようしているの、非常にたくさんの同一セルが第2の階層に存在することになる。この第2の階層には更に、図1の(B) (詳細は図3)で示されるカスタマイズ機能用データが配置される。各セルの上に配置されたカスタマイズ用データはセル毎に独立なので、一つのモジュールをセルとして多数配置し、各々のセルにカスタマイズ用データを独立に付与することにより、同一モジュールで、多彩な回路へ応用することが可能となる。

【0024】図1の(C) (詳細は図4)は、上記のカスタマイズされたセル上に置かれた抵抗と、結線用の層及び抵抗の層を示し、これらのデータも第2の階層に配置される。

【0025】

【作用】本発明によれば、モジュールとして、例えば後に説明する図に示すような規格化されたモジュールの集合として集積回路チップを配置できる。そのモジュールに対してカスタマイズ機能を持たせているので、このカスタマイズ機能により、モジュール内の素子を、複数の回路素子として用いることができる。この機能により、経験的には10数種のモジュールで、特殊な素子を含んだ回路を除いて殆どの回路を実現することが可能である。レイアウトされた回路の素子密度は、通常のフルカスタムレイアウトよりも低いが、少なくともポリシリコン抵抗プロセスにおいては、その差はわずかで、10~20%程度である。最近の集積回路の規模の増大に伴い、回路のチップサイズを決定する要因は、機能回路の大きさ自身よりも相互のブロック間結線になりつつあり、チップ全体で見れば数%の影響に過ぎない。

【0026】本発明によれば、修正試作のレイアウト設計期間、ウェーハ試作期間、試作費用の大幅減が達成できる。これは予め自動的に冗長度(余分な素子)を持たせることができるので、最初の試作で判明した不具合を、冗長さ素子、抵抗の再配置、容量値の再設定、結線変更及びカスタマイズ機能により柔軟に吸収できる。従って再び最初の工程から試作を始めなくても、最初の試作で修正用ウェーハも途中工程まで進めておき、修正時はそこからスタートすればよい。それにより、修正試作期間、修正費用が大幅に削減でき、例えばポリシリコン抵抗プロセスを例にとれば、1/3程度に削減すること

かできる。従来はトランジスタの追加のために全工程の試作をすることもあった。

【0027】モジュールが冗長度を持つことは、回路修正に伴うレイアウト修正が局所的なブロック内で済むことを意味している。従ってレイアウト期間の短縮にも寄与する。

【0028】更に本発明によれば、セル設計が導入しやすくなる。前述したようにアナログ回路の場合、何の特性も変更できないような固まったセルは実用化が難しい。しかし本発明によれば、図9における機能や詳細仕様の変更をモジュールの変更なしに、結線や抵抗の変更カスタマイズ機能を使って柔軟に対応することができる。例えばAという設計者がa回路を作ったとする。Bという設計者がa回路と基本回路は同じだが詳細な機能や仕様が異なったb回路を必要としていたとする。従来はa回路に使えないとして新規にb回路を設計していたが、少なくともレイアウト設計上は、a回路のモジュールを変更することなく、結線、抵抗の小変更とカスタマイズ機能、冗長素子の範囲でb回路が実現でき、a回路のレイアウトは設計資産として再活用されたことになる。

【0029】これまで、回路を小変更してもそのブロックのレイアウトは新規になるので、ゼロベースで回路設計しても同じと考えられたことも、アナログ集積回路でセル設計が進まなかった大きな理由であるが、本発明によれば、似た回路があればそのレイアウト資産は再活用できるので、極力今まで使った回路を使うという設計カルチャーが育成される。

【0030】

【実施例】以下本発明の実施例について説明する。但し、当然のことではあるが、本発明は実施例により限定をされるものではない。

【0031】実施例1

この実施例は、本発明をアナログハイボラ型集積回路のレイアウト設計に具体化したものである。

【0032】図5に示すのは、本構成例において、レイアウト設計の基本単位となるモジュールである。モジュールの中にはNPNトランジスタ、PNPトランジスタを主にして、容量またプロセスによっては更に抵抗などが含まれる。

【0033】バイボラ型集積回路は、プロセス的に何種類かに系統化される。まずPNPの構造について見ると、横型（ラテラル）PNP構造の通常のプロセス、縦型（パーティカル）PNP構造のプロセスがある。後者は構造が複雑になるが、回路設計の自由度が増え、その目的により使い分けられる。また、抵抗の構造についてみると、チップのシリコンのバルクに形成される拡散抵抗プロセスと、シリコン表面の絶縁膜上に多結晶シリコン膜により形成されるポリシリコン抵抗プロセスに大別される。後者は構造的、工程的に複雑となるが、レイア

ウト設計が容易で集積度が向上するため、製造技術が確立された現在では、一般的に使われるようになってきた。また抵抗の形成がポリシリコン抵抗の場合、後半の工程となるため、本発明の効果はポリシリコン抵抗プロセスにおいてより発揮される。

【0034】図5に示した本実施例において使用されるモジュールは、縦型PNP、ポリシリコン抵抗プロセス用に設計された一例である。図5の符号aは、NPN、PNPが混在した汎用のモジュール、bは同じく汎用のモジュールであるが、容量を内蔵したもの、cはNPNトランジスタのみのモジュールで、これは例えばECL（エミッタ結合型論理回路）等に用いられる。dはオペアンプの電圧増幅段と出力段に用いられるモジュールで、位相補償用の容量を内蔵している。

【0035】図6に、本実施例によって作成した集積回路チップのシリコン部分の一例を示す。本実施例では、設計された回路において個々の機能回路に、図5に示したユニットが割り付けられる。機能回路とユニットは1:1に対応するのではなく、一つの機能回路に複数個（平均2個、大部分は1〜3個）が対応する。例えばNPN初段のオペアンプでは初段の差動段に図5のaのモジュールを対応させ、電圧増幅段及び出力段にはdのモジュールを割り付ける。典型的には一つのモジュールは10〜20個の回路素子に対応する。このようにモジュールを個々の機能回路に1:1で対応させるのではなく、もう一つ下位の階層（例えばオペアンプの差動増幅段とか、電圧増幅段と出力段とか）に対応させているのは、モジュールの汎用性を増すためである。

【0036】例えば、図5のaのモジュールとdのモジュールを組み合わせたモジュールを考えると、それはその形のオペアンプ以外には応用しにくい。図5の単位で分割しておけば、例えばPNP初段のオペアンプにはaのモジュールのみを取り替えればよく、dのモジュールはそのまま使える。またa及びdのモジュールともオペアンプ以外の用途にも使える。このように汎用性が高まり、本発明者らの経験によれば、特殊な回路を除いて10モジュール、多くとも20モジュールあれば殆どどの回路がカバーできる。

【0037】図6はそのような割り付けを終えた集積回路のシリコン部分の配置を示しているのである。

【0038】本実施例では、本発明を適用して、モジュールに対してカスタマイズする機能を有することにより、モジュールの汎用性をより高めている。以下そのカスタマイズ機能について詳しく説明する。主要なカスタマイズ機能は以下の3点である。

- (1) トランジスタ配置のカスタマイズ
- (2) トランジスタ素子特性のカスタマイズ
- (3) 容量値のカスタマイズ

【0039】図7によりカスタマイズの機能を説明する。トランジスタ配置のカスタマイズは2種類あり、完

全にトランジスタを集積回路のチップ上から消去するデリート状態と、回路内に不活性にしておくオフ状態とがある。図7の符号1はデリートされた状態と、回路的に不活性にしておくオフ状態とがある。図7の符号1はデリートされた状態を示している。デリートされた領域は、例えばポリシリコン抵抗プロセスにおいて、ポリシリコン抵抗を配置する領域として用いる。一般にトランジスタ領域の絶縁膜上は段差が存在し、この上に抵抗を配することは精度上好ましくなく、レイアウトルールとして禁止されている場合が多い。PNPトランジスタのデリートされた領域は、NPN同様ポリシリコン抵抗の配置領域としても使えるし、拡散抵抗プロセスの抵抗配置領域として使うこともできる。オフされたトランジスタは、電極（コンタクトホールとアルミニウム電極）が消去されるので、回路的には不活性な状態にあるが、素子としては存在する。モジュールは機能回路と似た素子配置のものか選択されるか、厳密に一致している訳ではない。従って余分な素子がある割合で発生する。余分な素子は、レイアウト上不都合な限り、オフ状態にしておく。オフされたトランジスタ（図7中、符号2で示す）は、回路の修正時に有効に使える可能性を持つ。従ってオフ状態にあるトランジスタを適正な割合で配置することにより、回路の修正・再試作時に最初の工程からではなく途中工程から試作すれば済む確率を劇的に増やすことができ、試作の期間、費用を大幅に減ずることができる。また、レイアウト設計もオフされたトランジスタの活性化で対応できれば、修正部分が局所的となり、修正が非常に容易となる。オフされたトランジスタの上部は配線領域として使用できる。

【0040】次にトランジスタ素子特性のカスタマイズ機能について説明する。これも2種類の機能から成る。図7の符号3は、ダブルベースNPNトランジスタをシングルベーストランジスタとしてカスタマイズした例を示している。ダブルベーストランジスタは、ベース抵抗を下げることにより、雑音を減じたトランジスタとして使用されるが、通常回路のごく一部にのみ用いられる。各モジュールにダブルベース構造のトランジスタを配置しておけば、必要な時にはダブルベーストランジスタとして用い、通常は一方のベース電極を消去することによりシングルベーストランジスタとして使える。消去された一方のベース電極上は配線領域として使う。図7の符号4は、4個のマルチエミッタを有するトランジスタを、2個のマルチエミッタトランジスタとして用いた例を示しており、2個のエミッタ電極が消去されている。これらの機能は一つのトランジスタを複数種のトランジスタとして用いることを可能にし、必要なモジュールの種類の削減に寄与する。

【0041】図7の符号5は、容量値のカスタマイズを示している。図のAの部分容量として寄与し、Bの部分は殆ど寄与しない。構造的には、推奨できる方法は、

Aの部分の誘電体は薄い窒化膜で構成し、Bの領域は、窒化膜と厚い酸化膜を重ねることである。その厚い酸化膜領域の決定により容量値をカスタマイズすることができ。

【0042】前述したように、本発明はポリシリコン抵抗のウェーブプロセスにより適している。その理由と、拡散抵抗プロセスへの適用について説明する。図8はウェーブ試作工程を示している。（A）はベース拡散までの工程。（B）はポリシリコン抵抗プロセスの多結晶シリコンエッチングまでの工程を示している。詳細は各プロセスで異なるが、概略的には各々全工程の1/3、2/3が目安である。

【0043】ポリシリコン抵抗プロセスにおいては、（B）の工程まで試作を進めておき、再試作は多結晶シリコンのエッチングから始める。従って再試作以降は約1/3の工程で済み、必要マスク数も全体の1/3に近い。またポリシリコン抵抗は、集積回路表面に比較的自由に配置でき、モジュールの冗長さも含め、修正の自由度は極めて高く、修正期間、費用（必要マスク数とウェーブ工程の長さ）に依存）も大幅に削減される。

【0044】拡散抵抗プロセスに本発明を適用する場合、2つの選択がある。第1の方法は、最初の試作時に（A）の工程まで、即ちベース拡散前まで進めておき、再試作時にベース拡散よりスタートする方法である。この方法は、抵抗値や抵抗数の設定に自由度があり、回路の修正に対する自由度が大きい反面、再試作の工程やマスク枚数が初期試作の2/3程度にしかならないので、修正期間や修正費用の低減はポリシリコン抵抗プロセスに較べ大分劣る。

【0045】もう一つの選択は、抵抗は初期試作で作りにつけておき、抵抗値の設定は結線のみで切り替える方法である。この方法は容量値設定の直前の工程まで初期試作で進めることができるので、修正期間や修正費用の低減には大きく寄与する。しかし、抵抗値の設定が、予め作りつけられた抵抗の選択と接続によってなされるので、自由度が大きく制約される。

【0046】このように拡散抵抗プロセスと本発明との組合せによる効果は、修正期間、修正費用と、修正時の回路設計の自由度がトレードオフになり、両者を満足するポリシリコン抵抗との組合せ程劇的な効果は得られないが、十分に実用上効果的である。

【0047】次に本実施例において、上述した集積回路チップのレイアウト設計を行う手段を説明する。

【0048】図1を参照する。図1の（A）（詳細は図2）は、ある機能回路を実現するために配置されたモジュールを示している。ここには、例えばM1というモジュールがあるとすると、M1はいわばサブルーチンという形でこの階層に配置され、その実態はその下の階層に存在する。ここではモジュールM1の実態が存在する下位の階層を第1の階層、M1のセル（サブルーチン）が配

置された階層を第2の階層とする。第2の階層には、複数のM1のセルの存在が許される。モジュールは数少ないモジュールで集積回路全体のレイアウトをしようとしているので、非常にたくさんの同一セルが第2の階層に存在することになる。

【0049】第2の階層にはカスタマイズ機能用データが配置される。それが図1の(B) (詳細は図3)である。各セルの上に配置されたカスタマイズ用データはセル毎に独立なので、一つのモジュールをセルとして多数配置し、各々のセルにカスタマイズ用データを独立に付与することにより、同一モジュールで多彩な回路へ応用することが可能となる。図3に示す(B)中での具体的な例示は、符号B1でオフレイヤ、B2でデリートレイヤ、B3で容量値カスタマイズのためのオフレイヤを示すものである。

【0050】図1の(C) (詳細は図4)は、上記のカスタマイズされたセル上に置かれた抵抗と、結線用の層及び抵抗の層を示している。これらのデータも第2の階層に配置される。

【0051】本実施例適用により、前記本発明の作用の項で説明したとおりの作用効果もたらされ、本発明の目的が達成されたレイアウト方法が実現してきた。

【0052】

*

【発明の効果】本発明によれば、集積回路のレイアウト設計において、レイアウト設計を容易にして設計のための期間を短縮でき、また試作に要する期間や費用などを削減できるという効果がもたらされる。

【図面の簡単な説明】

【図1】本発明の構成を説明するための図である。

【図2】図1の(A)部を示す図である。

【図3】図1の(B)部を示す図である。

【図4】図1の(C)部を示す図である。

【図5】実施例を説明するための図で、規格化されたモジュールの構成を示す。

【図6】実施例を説明するための図で、集積回路チップのシリコン部分の構成例を示す。

【図7】実施例を説明するための図で、カスタマイズ機能の説明図である。

【図8】実施例を説明するための図で、ポリシリコン抵抗プロセスの説明図である。

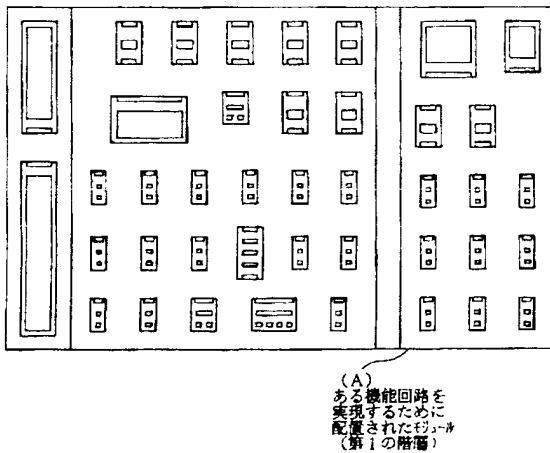
【図9】問題点を示す図である。

【符号の説明】

- (A) モジュール (第1の階層)
- (B) カスタマイズ機能用データ (第2の階層)
- (C) カスタマイズ化されたセル上のデータ (第2の階層)

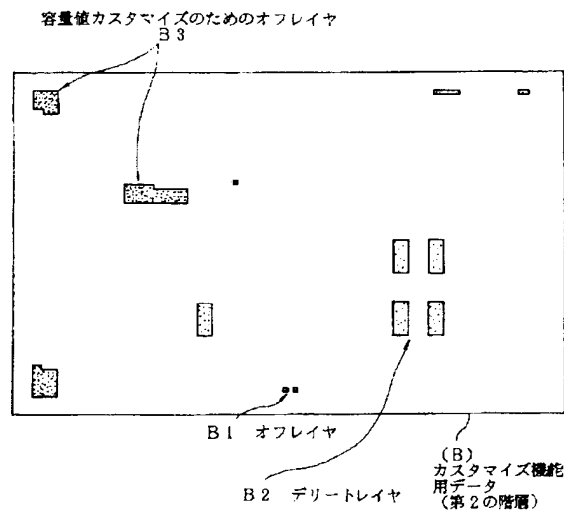
【図2】

図1の(A)部



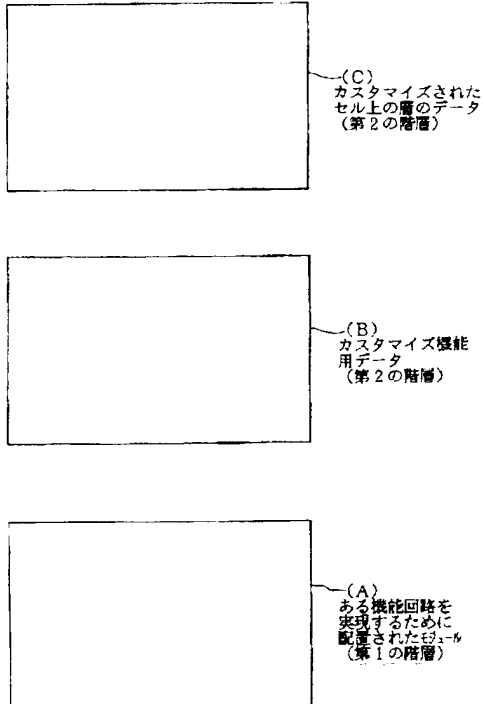
【図3】

図1の(B)部



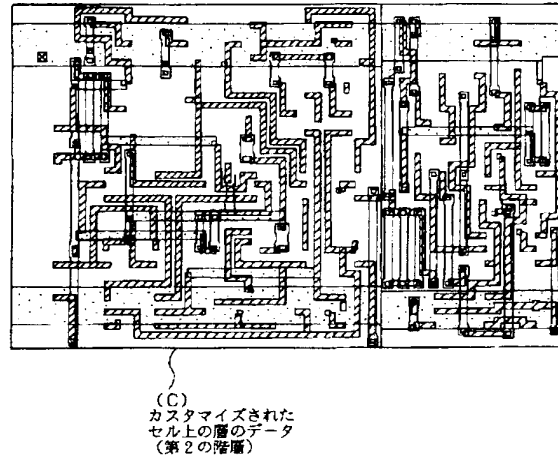
【図1】

本発明の構成の説明図



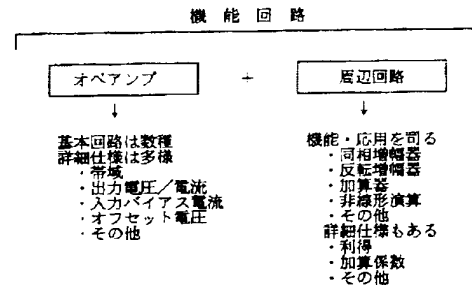
【図4】

図1の(C)部



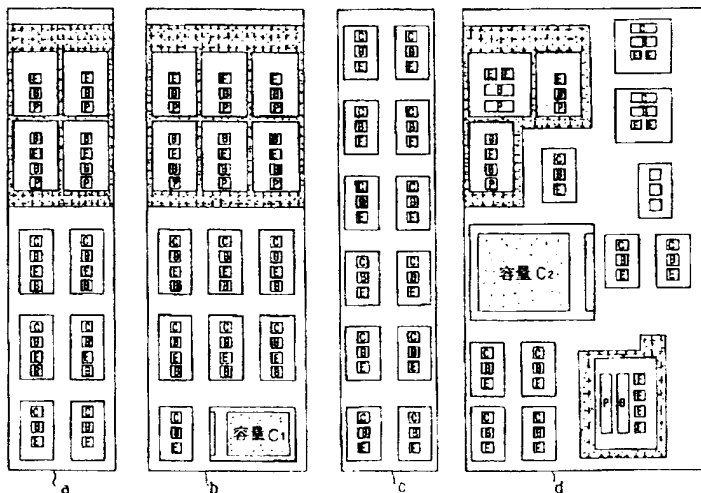
【図9】

問題点を示す図



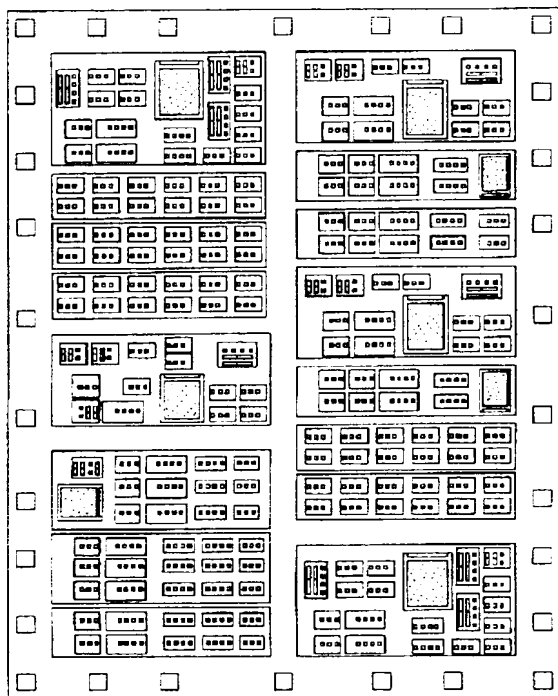
【図5】

規格化されたモジュール



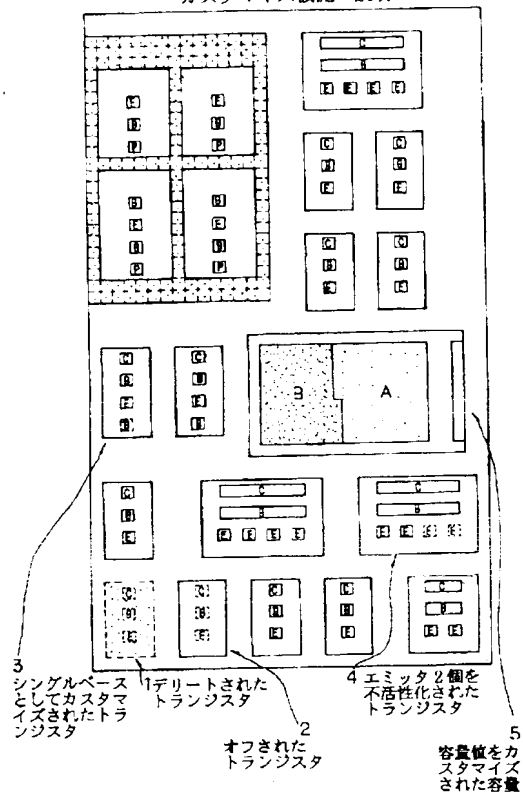
【図6】

集積回路チップのシリコン部分の構成例



【図7】

カスタマイズ機能の説明



【図8】

ポリシリコン抵抗プロセスの説明図

